

一种模拟 SET 的脉冲产生方法

叶世旺, 周婉婷

(电子科技大学 电子科学技术研究院, 四川 成都 611731)

摘 要: 提出一种基于 PLL(Phase Locked Loop)的电子脉冲产生方法,利用该方法可以产生最小宽度为 325 ps 的瞬态脉冲并对 SRAM 型 FPGAs(Field Programmable Gate Arrays)中实现的组合逻辑电路进行 SET 传播特性的研究.实验结果表明该脉冲产生方法实现简单,可以在不改变电路布局布线的前提下,改变注入脉冲宽度,且由 PLL 相位计算出的理论脉冲宽度与实际测量误差小于 3%.

关键词: 单粒子瞬态脉冲效应;锁相环;电子脉冲产生;SRAM 型 FPGA;传播特性

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2014)01-0129-03

An Approach on Pulse Generation of SET Emulation

YE Shi-wang, ZHOU Wan-ting

(Research Institute of Electronic Science and Technology, UESTC, Chengdu 610054, China)

Abstract: This paper presents a technique based on electrical pulse generation with a PLL (Phase Locked Loop), which can produce the smallest pulses whose width is 325 ps. This paper accomplishes the study of SETs propagation in combinational logic in SRAM-based Field Programmable Gate Arrays (FPGAs). Experimental results demonstrate this method is so simple that it can change the output pulse width without the alteration of logic path place and route, and the error rate of the pulse width between the measure results by using oscilloscope and the calculating results by using phase of PLL is less than 3%.

Key words: SET; PLL; electrical pulse injection; SRAM-based FPGAs; SETs propagation

1 引言

随着集成电路工艺的提升,工作在空间环境条件下的芯片由于 SET 效应的影响,导致出错频率越来越高,从而在预估被测电路抗单粒子效应(Single Event effect, SEE)时,不得不考虑组合电路中单粒子瞬态脉冲效应的问题.相比软件仿真^[1]和辐照实验等传统软错误率预估方法,采用 FPGA 的方法具有速度快,成本低等优点.文献[2-3]表明,深亚微米工艺下测量得到的 SET 脉冲最小宽度约 200 ps.文献[4]采用 FPGA 进行评估仅对被测电路中的触发器或寄存器节点实现 SEU(Single Event Upset, SEU)的注入,而忽略了组合电路中 SET 的影响.因此,在用 FPGA 对被测电路进行软错误率预估过程中,实现模拟 SET 窄脉冲的产生及研究 FPGA 传

输特性,是提高软错误率预估精度的重点之一.文献[2-3]中的研究表明 SET 在电路传播过程中会发生脉冲压缩或脉冲展宽效应.

目前,产生脉冲的方法有辐射测试(Radiation Test)^[5-6],激光测试(Laser Test)^[2,7]和基于软件的错误注入^[6].辐射和激光产生脉冲的方法虽然接近现实条件,但是,其只能观测到错误脉冲在电路中产生的结果,无法很精确地确定错误脉冲注入时间和位置,而且其成本很高.基于软件的错误注入方法虽然成本低,能准确地确定注入时间及位置,但由于仿真速度太慢不利于大规模电路的评估.

针对以上三种注入技术,本文充分利用 FPGA 中丰富的 PLL 资源,提出一种基于 PLL 的电子脉冲注入法,可以实现产生最小为 325 ps 的瞬态脉冲,基本覆盖目前深亚微米工艺下测量的 SET 脉冲

宽度范围.

2 基于 PLL 的脉冲注入技术

脉冲注入技术使用一个脉冲产生单元产生瞬态脉冲信号,然后注入电路指定节点.在 FPGA 中,电子脉冲注入方法主要有:外部产生法和内部产生法.外部注入法是通过 FPGA 输入端口注入外部产生的非常窄的脉冲信号,由于 FPGA 输入单元 IOE (I/O Element) 结构和布线互联单元(interconnection)的影响,其注入的脉冲波形可能会过滤而发生改变.内部产生法通过外部提供的触发信号触发内部脉冲产生单元产生所需宽度的脉冲.该方法所需的触发信号宽度对产生脉冲的波形没有影响,所以其不受 IO 结构的过滤效应的影响.

2.1 脉冲产生单元

基于 PLL 的脉冲产生单元电路由一个锁相环、两个反相器、两个触发器和一个与门组成(图 1).外部信号源与外部 PAD 相连,然后连接到触发信号 A.脉冲产生单元输出信号 O 与电路待注入点相连,通过设置 PLL 的相位来改变 PLL 输出信号 C0 与 C1 的相位差.本文采用的 FPGA 的 PLL 可设置的最小相移步进为 156 ps.

在实现该电路时,首先对该电路单元进行 RTL 级描述,然后使用 FPGA 逻辑资源进行自动布局布线.通过对 post-layout 模型进行时序分析来获取每条路径的延时情况.其结果表明,如果采用自动布局布线,则产生的脉冲无法达到小于 500 ps 的目的.这是因为编译器将非门、触发器及与门通过 FPGA 的一个 ALM(Adaptive Logic Module)实现,导致图 1 中 B-C-O 路径延时 T_{B-C-O} 大于 D-E-O 路径延时 T_{D-E-O} .为了解决该问题,使用 Partition 和 LogicLock 技术以及手动更改布局等进行优化,将两个触发器和与门分别使用一个 ALM 实现,最终实现了产生了小于 500 ps 的窄脉冲.脉冲产生单元产生的脉冲宽度计算公式如式(1):

$$\Delta SET = \Delta VAL + \Delta ROUT \quad (1)$$

式中, $\Delta ROUT = T_{B-C-O} - \Delta T_{D-E-O}$, ΔVAL 表示设置锁相环移相值后计算的脉冲理论值.

表 1 中给出了未进行优化 Pulse_A 及进行优化后 Pulse_B 的两种情况下产生的脉冲仿真及测量结果,其中 ΔSET_s 表示仿真单元 O 点输出的脉冲宽度, ΔSET_M 表示用示波器测试输出 PAD 上的脉冲宽度, ΔR 表示实际测量值与理论值的误差率,计算公式如式(2):

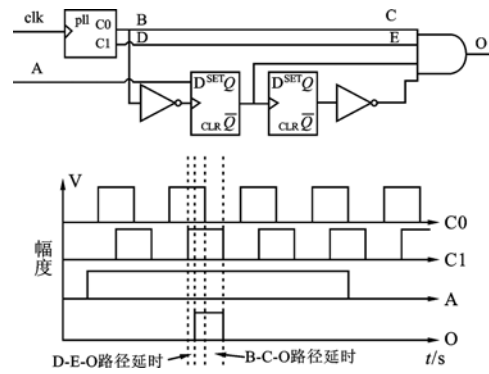


图 1 脉冲产生电路

$$\Delta R = |\Delta VAL - \Delta SET_M| / \Delta VAL \quad (2)$$

表 1 脉冲产生单元产生的脉冲宽度

	$\Delta VAL / ps$	$\Delta SET_s / ps$	$\Delta SET_M / ps$	$\Delta R / \%$
Pulse _A	156	519	525	237
Pulse _A	325	688	683	110
Pulse _A	468	831	827	76.7
Pulse _B	325	310	316	2.8
Pulse _B	468	453	455	2.8
Pulse _B	624	609	608	2.6

由表中结果可以看出,优化后的电路能够产生更窄的脉冲且其理论值与实际测量值误差 ΔR 小于 3%,这是因为没优化前,经分析发现 B-C 路径延时比 D-E 路径延时大,且编译器采用尽量少的 ALM 布局规则来实现逻辑电路也导致 C-O 路径延时比 E-O 路径大,从而使实际输出脉冲宽度比理论计算值大 363 ps.优化后,虽然无法改变 B-C 路径延时比 D-E 路径延时大,但可以将 E-O 的延时优化成比 C-O 延时大,这样就可以产生更窄的脉冲.

在脉冲产生单元布局中还发现,在不改变脉冲产生单元布局的前提下,改变与 O 点相连的输出 PAD 位置,并不影响示波器测试值 ΔSET_M 与仿真值 ΔSET_s 基本相等,这是因为脉冲宽度从脉冲产生单元 O 点到 PAD IOE 单元期间,由于互联单元产生了展宽效应,而在 IOE 单元中输出时会发生压缩效应,其被压缩的脉冲宽度与展宽的宽度基本相等.因此在实际测试时,用示波器测得的宽度就与 O 点处输出的脉冲宽度可以认为是相等的.

2.2 脉冲产生单元布局

为了研究脉冲在电路中的传播特性,必须减小加入脉冲产生单元对被测电路布局的影响.这是因为在加入脉冲产生单元后,编译器为了得到最优的时序或面积,在进行布线延时优化的同时进行面积优化,此时从脉冲产生单元 O 点到待测电路带注入节点的延时不一定是最小延时,导致得到的结果并

不是期望得到的结果。

本文先对待测电路进行编译,保留布局布线结果信息,然后再对电路添加脉冲产生单元进行编译,通过手动更改脉冲产生单元布局,使得从脉冲产生单元 O 点到待测电路带注入节点的延时最小。

例如,图 2 是一个包含有九个与非门链原理电路,针对该电路给出了三种布局布线图(图 3),其中 A_n 表示第 n 个与非门, I1 表示脉冲产生单元的触发器, I2 表示四输入与门。图 3(a)是未添加脉冲产生单元时,自动布局产生的布局图。图 3(b)是插入了脉冲产生单元后,自动布局产生的电路布局图,从图中可以看出注入脉冲产生单元输出点到被测电路的注入点路径不是最优的。图 3(c)是通过先进行被测电路与非门链布局之后,保留布局结果数据文件,然后再加入脉冲产生单元后的电路布局图。从图中可以看出,这种方法实现的电路布局结构与不添加脉冲产生单元的电路布局结构相一致。

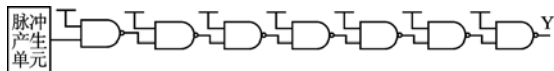


图 2 与非门链原理图

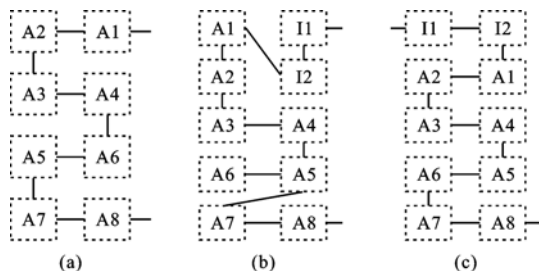


图 3 与非门链布局图

3 实验结果

综合以上讨论的脉冲注入技术,本文将其应用到逻辑链状电路传播特性的研究中。在实验中,将对反相器、与门、与非门、或门及或非门等基本门链进行研究,通过改变基本门链所包含的门数或改变负载情况,观察输出结果脉冲宽度的变化。针对每个基本门的实现,采用一个 ALM 来实现其功能,这样可以有效表现出每个基本门的传输特性。

(1) 逻辑链特性

图 2 中注入 SET 宽度设置为 453 ps。表 2 所示为实验中通过该逻辑链输出的结果,其中 NUM 表示逻辑链中包含门的个数。从表 2 中可以看出,对于反相器、与非门、或非门等反相类型基本门,注入的脉冲的宽度有展宽效应,且随着逻辑链级数的加长,其被展宽的程度越大。而对于与门、或门等非反相类

型基本门,输出的脉冲宽度基本不变。其中,与非门与或非门的脉冲展宽效应要比反相器的明显。

表 2 注入宽度为 453 ps 高电平脉冲时

逻辑链输出脉冲宽度

NUM	INV/ps	AND/ps	NAND/ps	OR/ps	NOR/ps
2	465	460	485	450	488
4	476	455	515	454	521
8	499	448	518	451	520
10	509	453	560	457	559
20	558	457	645	452	643

(2) 负载特性

针对负载特性的研究,本文采用对逻辑链的不同节点添加相同个数的单位负载(图 4)。图 4 表示一个四输入与非门链且每个节点含有三个负载的电路图,其中 A_{nm} 表示第 n 个节点的第 m 个负载, $m \leq q$, q 表示节点负载数。表 3 中给出了含有四个逻辑门的逻辑链在不同负载和注入脉冲宽度为 451 ps 的条件下的 SET 输出结果值。从表 3 可以看出,对于节点负载数为 2, 3, 4 时,与门和或门有一定的脉冲展宽效应,而当节点负载较大时,所有逻辑链呈现脉冲压缩效应。

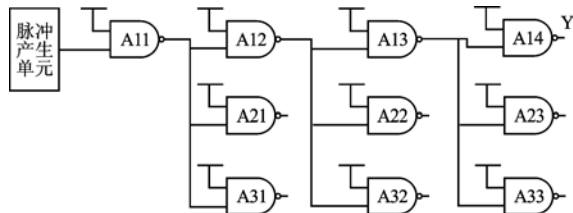


图 4 节点含有 3 个负载的与非门链

表 3 不同负载 SET 输出脉冲宽度

LOAD(q)	INV	AND	NAND	OR	NOR
1	476	455	515	451	521
2	490	474	469	474	470
3	489	523	505	524	506
4	481	481	474	482	471
5	442	457	443	455	441

4 结束语

文中提出一种基于 PLL 的脉冲注入方法,可以产生最小为 325 ps 的脉冲宽度,且其理论计算值与实际测量值误差小于 3%。该方法具有在不改变电路布局的情况下,可通过设置锁相环相位的优点,有效解决了模拟 SET 皮秒级脉冲的产生。本文利用该脉冲注入技术研究了 SRAM 型 FPGA 中脉冲在逻

(下转第 136 页)

参考文献:

- [1] Anjum F, Subhadrabandhu D, Sarkar S, et al. On optimal placement of intrusion detection modules in sensor networks [C]// 1st International Conference on Broadband Networks. Washington: IEEE Press, 2004: 433-439.
- [2] Subhadrabandhu D, Anjum F, Sarkar S. On optimal placement of intrusion detection modules in sensor networks [C]// Proceedings of the First International Conference on Broadband Networks. IEEE, USA: 2004: 690-699.
- [3] Mohammad Saniee Abadeh, Jafar Habibi, Zeynab Barzegar, et al. A parallel genetic local search algorithm for intrusion detection in computer networks [J]. Engineering Applications of Artificial Intelligence, 2007, 20(8):1058-1069.
- [4] 苏高利, 邓芳萍. 关于支持向量回归机的模型选择 [J]. 科技通报, 2006, 22(2):154-158.
- [5] 肖海军, 洪帆, 张昭理, 等. 基于融合分类和支持向量机的入侵检测研究 [J]. 计算机仿真, 2008, 25(4): 130-132.
- [6] 张新有, 曾华荣, 贾磊. 入侵检测数据集 KDD CUP 99 研究 [J]. 计算机工程与设计, 2010, 31(22): 4809-4816.
- [7] 卿斯汉, 蒋建春, 马恒太, 等. 入侵检测技术研究综述 [J]. 通信学报, 2004, 25(7):19-21.
- [8] 梁英, 曾鹏, 于海斌. 无线传感器网络中一种能量自适应的簇首选择机制 [J]. 信息与控制, 2006, 35(2): 141-146.
- [9] 刘韬, 皮国强. 人工免疫算法在网络入侵检测中的应用 [J]. 计算机仿真, 2011(11):91-94.
- [10] 马燕, 范植华. 基于神经网络的基因分类器 [J]. 计算机工程与设计, 2005, 26(2):308-311.

作者简介:

金显华 女, (1979—), 硕士, 讲师. 研究方向为图形图像处理.

赵元庆 男, (1976—), 硕士, 讲师. 研究方向为计算机软件与理论.

(上接第 131 页)

辑链中的传播特性. 在以后工作中, 将利用本文中的一些结论去研究如何用 FPGA 布局布线的传输特性模拟相同工艺条件下的 ASIC 布局布线特性, 从而达到提高对被测电路软错误率的预测精度.

参考文献:

- [1] Velazco R, Rezgui S, Ecoffet R. Predicting error rate for microprocessor-based digital architectures through CEU (Code Emulating Upsets) injection [J]. IEEE Transactions on Nuclear Science, 2000, 47(6): 2405-2411.
- [2] Gadlage M J, Ahlbin J R, Narasimham B, et al. Scaling trends in SET pulse widths in sub-100 nm bulk CMOS processes [J]. IEEE Transactions on Nuclear Science, 2010, 57(6):3336-3340.
- [3] Ferlet-Cavrois V, Paillet P, McMorow D, et al. New insights into single event transient propagation in chains of inverters-Evidence of propagation-induced pulse broadening [J]. IEEE Transactions on Nuclear Science, 2007, 55(6):2338 - 2346.
- [4] Celia López-Ongil, Mario García-Valderas, Marta Portela-García, et al. Autonomous fault emulation: a new FPGA-based acceleration system for hardness evaluation [J]. IEEE Transactions on Nuclear Science, 2007, 54(1):252-261.
- [5] Narasimham B, Gadlage M J, Bhuvu B L, et al. Test circuit for measuring pulse widths of single-event transients causing soft errors [C]//IEEE International Conference on Microelectronic Test Structures. Edinburgh: IEEE, 2008:142-146.
- [6] Gadlage M J, Schrimpf R D, Benedetto J M, et al. Single event transient pulse widths in digital microcircuits [J]. IEEE Transactions on Nuclear Science, 2004, 51(6):3285-3290.
- [7] Cavrois V F, Pouget V, McMorow D, et al. Investigation of the propagation induced pulse broadening (PIPB) effect on single event transient in SOI and Bulk Inverter Chains [J]. IEEE Transactions on Nuclear Science, 2008, 55(6):2842-2853.

作者简介:

叶世旺 男, (1989—), 硕士研究生. 研究方向为 IC 抗辐射加固技术.

周婉婷 女, (1982—), 博士. 研究方向为 IC 抗辐射加固技术.